

DOI:10.13296/j.1001-1609.hva.2024.12.013

基于UIS测试的Si/SiC级联器件雪崩特性分析

周郁明, 王倩, 张秋生, 刘航志

(安徽工业大学安徽省高校电力电子与运动控制重点实验室, 安徽 马鞍山 243002)

摘要: 与机械式断路器相比,使用半导体功率器件构成的直流固态断路器在响应时间方面有较大的优势。由低压硅金属—氧化物—半导体场效应晶体管(Si MOSFET)和高压碳化硅结型场效应晶体管(SiC JFET)构成的Si/SiC级联型器件具有优异的开断特性。半导体功率器件可靠性一直是直流固态断路器所关注的焦点问题,非箝位感性负载开关(unclamped inductive switching, UIS)测试是评估半导体功率器件可靠性的重要方法。文中通过实验和仿真的方式分析了Si/SiC级联器件在非箝位感性负载开关过程的雪崩特性。首先,通过增加器件导通时间得到了不同负载电流下的雪崩特性,结果表明,随着导通时间的增加,Si/SiC级联器件在雪崩期间出现了雪崩电压下降的异常特性。随后,通过分立式Si/SiC级联器件进行UIS测试,发现异常特性是由于SiC JFET在雪崩期间出现导通而形成的。最后,通过Si/SiC级联器件的三维电—热耦合仿真,结果表明雪崩期间SiC JFET芯片栅极铝金属层和键合线温度升高,导致SiC JFET栅极等效电阻增加,最终使得SiC JFET在雪崩期间出现导通。

关键词: 固态断路器; Si/SiC级联器件; 雪崩特性; 电—热耦合仿真

Avalanche Performance Analysis of Si/SiC Cascode Device Based on UIS Test

ZHOU Yuming, WANG Qian, ZHANG Qiusheng, LIU Hangzhi

(Anhui University Key Laboratory of Power Electronics and Motion Control, Anhui University of Technology,
Anhui Ma'anshan 243002, China)

Abstract: Compared to mechanical circuit breaker, DC solid-state circuit breaker(SSCB) composed of semiconductor devices has great advantage in response time. The Si/SiC cascode element consisting of low-voltage silicon metal-oxide-semiconductor field-effect transistor(Si MOSFET) and high-voltage silicon carbon junction field-effect transistor(SiC JFET) has excellent switching characteristics. The reliability of semiconductor power element has always been the focus of DC SSCB. The test of the unclamped inductive switching(UIS) is an important method to assess reliability of the semiconductor power element. In this paper, the avalanche performance of Si/SiC cascode element during the UIS period is analyzed by means of experiment and simulation. Firstly, the avalanche performance under different load currents is obtained by increasing the on-time of the element. The results show that with the increase of the on-time the Si/SiC cascade element shows an abnormal performance of the avalanche-voltage drop during the avalanche period. Then, UIS tests is performed through a discrete Si/SiC cascode element, finding that the abnormal performance originates from the turn-on of SiC JFET during avalanche period. Finally, the 3D electrical-thermal coupling simulation of the Si/SiC cascade element is performed. The results show that the temperature of aluminum metal layer and bonding wire of SiC JFET rises during the avalanche period, leading to the increase of the gate equivalent-resistance of SiC JFET, and ultimately resulting in the turn-on of SiC JFET during the avalanche period.

Key words: solid-state circuit breaker; Si/SiC cascode device; avalanche performance; electrical-thermal coupling simulation

收稿日期:2024-06-07; 修回日期:2024-08-20

基金项目:安徽省自然科学基金资助项目(2008085ME157)。

Project Supported by Anhui Province Natural Science Foundation(2008085ME157).

0 引言

直流配电系统因其输送容量大、输送功率可调节、供电质量好、线路造价低等一系列优点,被广泛地应用在微电网、电动汽车、数据中心、航天航空等领域^[1-9]。然而,相较于交流系统,直流系统在发生系统短路故障时,其故障电流上升速率较快,且不存在自然过零点,因此其故障保护成为了目前影响直流系统安全运行的重要难题。基于功率半导体器件的固态断路器能够实现微秒量级的快速关断,且具有无开断电弧、无动作声响等优点^[9-14]。此外,随着近年来宽禁带半导体功率器件的蓬勃发展,固态断路器的性能得到了进一步地提升,并朝着低功耗、大容量、高效率的方向不断突破,具有极为广阔的应用前景^[15-19]。

目前已经商业化的碳化硅功率器件主要有碳化硅肖特基二极管(SiC SBD)、碳化硅金属—氧化物—半导体场效应晶体管(SiC MOSFET)、碳化硅结型场效应晶体管(SiC JFET)^[20-22],相较于SiC MOSFET而言,SiC JFET由于没有栅极氧化层,制造工艺更为简单,并且具有更高的电子迁移率、更低的通态电阻和更小的结电容,因而SiC JFET具有更为优异的开关特性。然而,出于性能和成本的考虑,SiC JFET经常被设计成耗尽型器件,这给习惯于应用增强型器件的电路设计人员带来诸多不便。实际应用中,耗尽型SiC JFET可以通过串联一只低压增强型硅金属—氧化物—半导体场效应晶体管(Si MOSFET)来实现增强型工作模式,这一组合称之为Si/SiC级联器件。Si/SiC级联器件采用低压Si MOSFET的驱动电路,并具有SiC JFET器件的优点,在直流固体断路器中表现出优异的特性^[23-25]。

直流系统不可避免存在着较大的寄生电感,当断路器开断时,急剧变化的电流在电感上感应出的高电压将半导体功率器件置于雪崩击穿状态,使器件内的温度瞬时升高,这严重影响了器件的可靠性。雪崩耐受能力是评估半导体功率器件可靠性的重要指标,可以通过非箝位感性负载开关(unclamped inductive switching, UIS)电路来测试。目前,不少文献对SiC MOSFET、SiC JFET的雪崩可靠性以及雪崩失效机理进行了广泛研究^[26-27],这对改善器件结构设计、提高器件运行的可靠性具有重要意义。

级联型器件由于是两种不同材料的器件组合,UIS测试的雪崩特性以及雪崩失效机理,必然与独立的器件不同。文[28]通过实验分析和软件仿真的

方式揭示了级联型氮化镓(GaN)功率器件在单脉冲UIS应力下的雪崩耐量、失效机理以及在多脉冲UIS应力下的电参数退化机理,结果表明器件的失效位置出现在低压硅器件上,重复UIS应力会引起高压GaN器件电子陷阱的产生与积累,从而导致相关电参数的退化。文[29]研究了Si/SiC级联器件在单脉冲和重复脉冲UIS应力下的雪崩特性,结果表明,低压Si器件的源极和高压SiC器件的栅极之间的连接电阻影响了级联器件的雪崩持续时间和雪崩能量,重复UIS应力下由于SiC器件栅极电阻的退化降低了级联器件的雪崩特性。

文中通过非箝位感性负载开关电路,测试了Si/SiC级联器件的单脉冲雪崩特性,通过增加级联器件的导通时间,得到了不同负载电流下的Si/SiC级联器件的雪崩特性,并建立了Si/SiC级联器件的电—热耦合模型,解释了Si/SiC级联器件在UIS测试过程中雪崩特性出现异常的原因。

1 Si/SiC级联器件雪崩特性测试

1.1 Si/SiC级联器件结构

Si/SiC级联器件封装与电路结构见图1。Si MOSFET漏极(D)与SiC JFET源极(S)通过键合线相连,Si MOSFET源极(S)与SiC JFET栅极(G)通过键合线共同连接至外部源极端子(S),SiC JFET漏极作为Si/SiC级联漏极端子(D),Si MOSFET栅极作为Si/SiC级联栅极端子(G),共同组成三端器件。由图1(b)可知,Si MOSFET的漏极—源极电压(U_{DS_MOS})通过SiC JFET的栅极电阻(R_{G_JFET})加载到SiC JFET的栅极—源极,使得耗尽型SiC JFET处于关断状态;当Si MOSFET导通后,SiC JFET的栅极—源极电压消失,耗尽型SiC JFET导通,因此只需要控制Si MOSFET开断即可实现整个级联器件的开断。

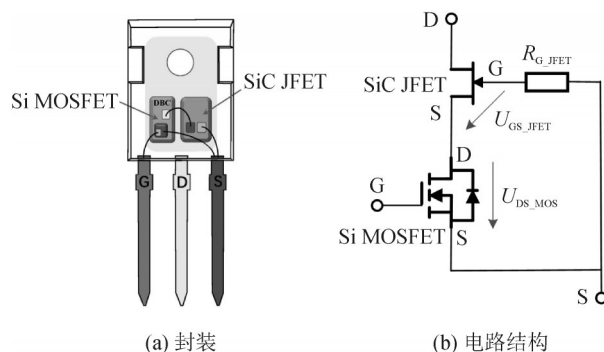


图1 Si/SiC级联器件示意图

Fig. 1 Schematic diagram of Si/SiC cascode device

1.2 UIS测试基本原理

测试器件雪崩特性的UIS电路原理图以及典型

波形见图2。给待测器件(DUT)施加栅极驱动电压 U_{GS} , DUT导通, 电感电流(I_L)线性增加, 经历时间 t_{on} 后 DUT关断, 此时电感的能量转移到 DUT上, 迫使 DUT进入雪崩击穿状态, 此阶段器件的两端电压升至雪崩状态下的有效击穿电压 $U_{BR(eff)}$ 。

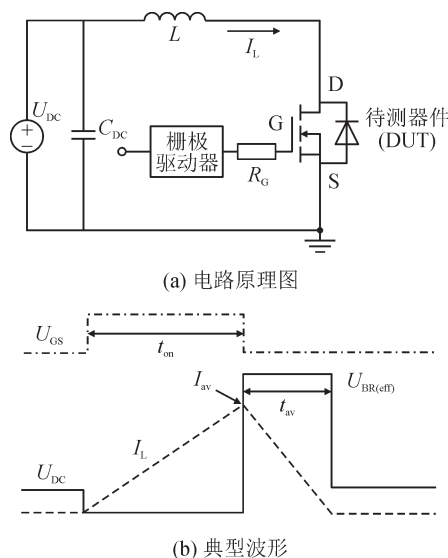


图2 UIS测试原理图及其典型波形

Fig. 2 Schematic diagram and typical waveform of UIS test

单脉冲UIS测试时器件在雪崩期间所耗散的能量表示式为

$$E_{av} = \frac{1}{2} L I_{av}^2 \frac{U_{BR(eff)}}{U_{BR(eff)} - U_{DC}} \quad (1)$$

式(1)中: I_{av} 为峰值雪崩电流; U_{DC} 为直流电源电压。

当 E_{av} 大于器件所能承受的能量时, DUT将发生雪崩失效。

1.3 Si/SiC级联器件的雪崩特性测试

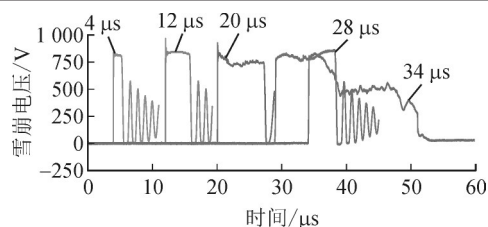
测试了两种配置形式的Si/SiC级联器件的雪崩特性, 一种是采用TO-247封装的集成式级联器件; 一种是由分立的Si MOSFET和SiC JFET构成的级联器件。其中, 分立的SiC JFET与Si/SiC级联器件来自于同一家厂商, Si MOSFET为低压、低通态电阻器件, 与所选用的Si/SiC级联器件产品手册对其中的Si MOSFET的描述保持一致^[30]。具体器件型号、额定参数、封装形式见表1。

集成式Si/SiC级联器件在不同 t_{on} 时的雪崩电压和雪崩电流的波形见图3。测试条件为 U_{DC} 为200 V、电感 L 为0.19 mH。由图3可见, 在 t_{on} 为4、12 μ s时, 雪崩状态下的雪崩电压和雪崩电流的形状与图2(b)中的典型波形保持一致, 但是当 t_{on} 增加到20、28 μ s时, 雪崩状态下的雪崩电压出现了凹陷, 同时雪崩电流也不是线性增加和减小。在 t_{on} 为34 μ s时, 级联器件出现了失效。根据式(1)计算到的该型号级

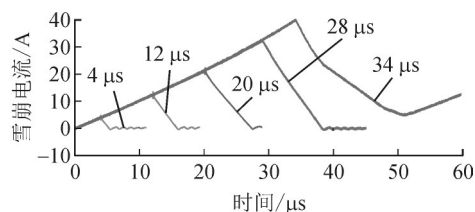
联器件的雪崩耐量为200 mJ。

表1 实验所用器件型号及其参数

Table 1 Model and parameters of experimental devices					
类型	型号	电压/ V	电流/ A	封装	功率/ W
集成式 Si/SiC级 联器件	UJ3C065080 K3S	650	31	TO-247-3L	155
Si MOSFET	SiSHA10DN	30	30	PowerPAK- 1212-8	39
SiC JFET	UJ3N065080 K3S	650	32	TO-247-3L	190



(a) 雪崩电压



(b) 雪崩电流

图3 集成式Si/SiC级联器件在不同 t_{on} 时的雪崩电压和雪崩电流

Fig. 3 Avalanche voltage and avalanche current of integrated Si/SiC cascode device under different t_{on}

由分立器件构成的Si/SiC级联器件在 t_{on} 分别为4、12、28 μ s时的雪崩电压和雪崩电流波形见图4。与集成式级联器件不同的是, 分立式级联器件除了可以测器件的雪崩电压和雪崩电流, 还可以测SiC JFET的栅极电流。

由图4可见, 在 t_{on} 为4 μ s时, 分立式级联器件和集成式级联器件的雪崩电压、雪崩电流的形状和大小并无多大的差别, 同时, 从图4(a)还可以看到, 进入雪崩状态后, SiC JFET的栅极电流和雪崩电流保持一致, 这说明此时SiC JFET的漏极—源极处于关闭状态, 电流都是从SiC JFET的栅极流过, 此时的电流路径见图4(d)中的路径1。当 t_{on} 增加到12 μ s时, 流过SiC JFET栅极的电流减小, 这说明一部分雪崩电流是从SiC JFET的源极流出, SiC JFET的漏极—源极出现了部分导通, 同时可以看到雪崩电压出现了凹陷, 此时的电流路径见图4(d)中的路径2。当 t_{on} 增加到28 μ s时, SiC JFET栅极基本上没有电流

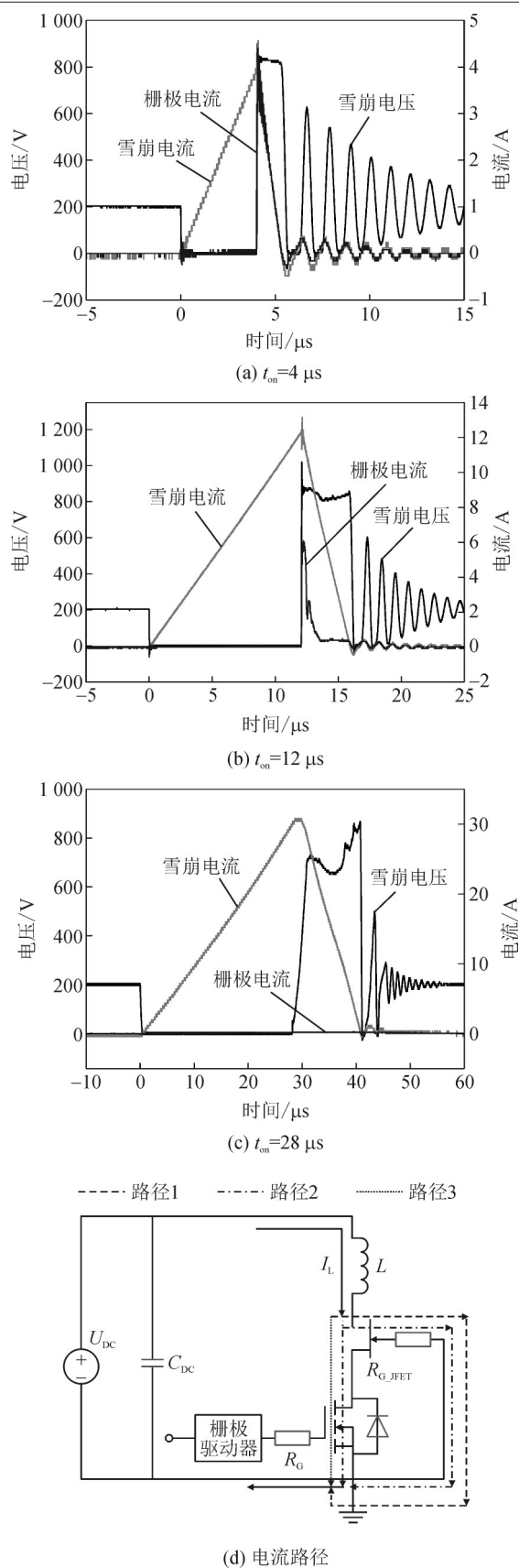


图4 分立式Si/SiC级联器件在不同 t_{on} 时的雪崩电压、雪崩电流以及电流路径示意图

Fig. 4 Avalanche voltage and avalanche current of discrete Si/SiC cascode device under different t_{on} , and the schematic diagram of current path

流过,这说明SiC JFET漏极—源极完全导通,同时雪崩电压的凹陷程度加深,此时的电流路径见图4(d)中的路径3。

2 Si/SiC级联器件的电—热耦合分析

2.1 电—热耦合模型概述

Si/SiC级联器件在UIS测试时随着器件导通时间增加,关断后处于雪崩状态的SiC JFET出现了导通的现象。对于SiC MOSFET或者IGBT这样的独立器件而言,雪崩主要发生在漏极—源极之间寄生二极管的PN结^[31],而Si/SiC级联器件起主要电压阻挡作用的SiC JFET的漏极—源极之间并没有寄生二极管,因此Si/SiC级联器件的雪崩发生区域、雪崩电流路径必然与SiC MOSFET、IGBT等器件不同。从图4的实验结果可以看到,Si/SiC级联器件在雪崩状态下,随着 t_{on} 的增加,雪崩电流路径发生了变化,同时雪崩电压也出现了凹陷,这一异常现象可以用级联器件的电—热耦合模型来解释。

以表1的TO-247封装的Si/SiC级联器件为研究对象,建立了Si/SiC级联器件的电—热耦合模型。Si/SiC级联器件纵向截面结构见图5。图5中左侧部分为Si MOSFET,从上到下依次为铝金属层、Si MOSFET芯片、芯片焊料层、上铜层、DBC陶瓷层、下铜层、衬底焊料层以及铜基板。右侧部分为SiC JFET,从上到下依次为铝金属层、SiC JFET芯片和芯片焊料层,SiC JFET源极和Si MOSFET漏极通过键合线相连。

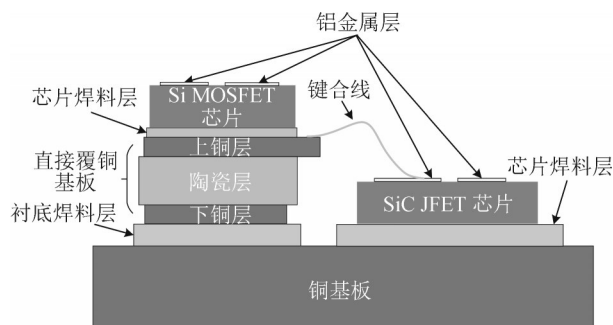


图5 Si/SiC级联器件截面结构示意图

Fig. 5 Section structure diagram of Si/SiC cascode device

2.2 模型参数

为了保证电—热耦合模型的准确性,需要准确测量模型所对应器件各个不同层的材料厚度,并精确定义各层的材料属性。

首先利用激光和酸腐蚀工艺去掉TO-247封装的塑料外壳,随后利用扫描电子显微镜(scanning electron microscopy, SEM)获取了Si MOSFET和SiC JFET的芯片表面几何参数,以及两个器件各层材料

的结构参数。SEM 图片见图 6。

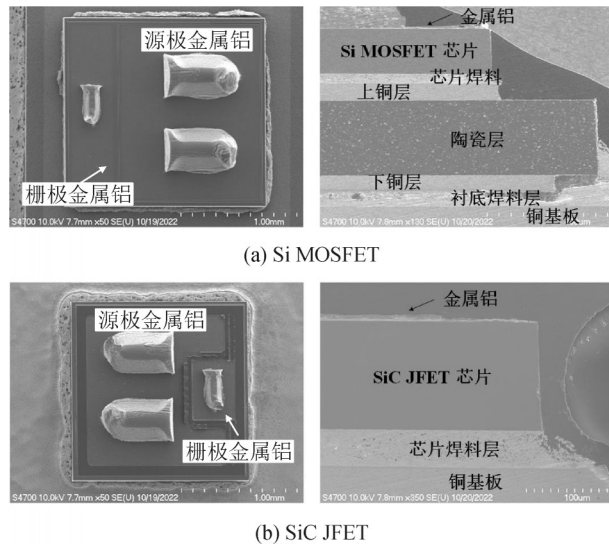


图 6 TO-247 封装 Si/SiC 级联器件 SEM 图片

Fig. 6 SEM pictures of Si/SiC cascode device with TO-247 package

由图 3 可以看到, Si/SiC 级联器件的雪崩发生在约数十 μs , 持续时间极短, 这导致芯片层所产生的热量无法及时向四周扩散, 同时热耦合的最小时间尺度为 ms 级^[32], 因此在雪崩期间 Si/SiC 级联器件的两个芯片之间的热耦合效应可以忽略。另外, Si/SiC 级联器件中的 Si MOSFET 仅仅起控制作用, 主要的电压阻挡和能量转换由 SiC JFET 完成, 因而模型重点考虑 SiC JFET 材料属性对温度的敏感性, 主要是

与温度相关的 SiC 材料的热导率和比热容。同时, 雪崩期间电流流过 SiC JFET 的栅极, 因而 SiC JFET 栅极材料属性对温度的敏感性同样考虑在内。

与温度 (T) 相关的 SiC 材料的热导率 (λ) 与比热容 (c) 分别为^[33]:

$$\lambda_{\text{SiC}}(T) = [-0.0003 + 1.05 \times 10^{-5} T]^{-1} \quad (2)$$

$$c_{\text{SiC}}(T) = 925.65 + 0.3772T - 7.93 \times 10^{-5} T^2 - 3.19 \times \frac{10^7}{T^2} \quad (3)$$

雪崩期间能量的耗散主要由 SiC JFET 完成, 由于半导体材料并不遵循严格的欧姆定律, 但是可以将 SiC JFET 芯片等效为一个电阻, 由这个电阻实现电到热的转换。同时, 这个等效电阻与温度以及所流过的电流大小有关, 并且可以由器件的输出特性拟合到, 然后根据 SEM 测量到的芯片几何参数, 得到 SiC JFET 芯片电导率的表达式为

$$\sigma_{\text{SiC}}(T) = \frac{57.2}{1.02 \times 10^{-3} \times T + 0.0784 - \frac{1.47}{I_{\text{DS}}}} \quad (4)$$

式(4)中, I_{DS} 为流过 SiC JFET 的漏极—源极电流。

雪崩期间 SiC JFET 产生的高温会给 SiC JFET 栅极区域的金属铝带来影响, 金属铝的电导率也是与温度相关, 表达式为^[34]

$$\sigma_{\text{Al}}(T) = 4.28 \times 10^{10} \times T^{-1.23} \quad (5)$$

Si/SiC 级联器件各层材料厚度和各层材料属性见表 2, 取常数的材料属性来自于文[35]。

表 2 Si/SiC 级联器件各层材料厚度和材料属性取值

Table 2 The thickness and the property values of each layer material of Si/SiC cascode device

层结构	材料	厚度/ μm	密度/ $(\text{kg} \cdot \text{m}^{-3})$	热导率/ $[\text{W} \cdot (\text{m} \cdot \text{K})^{-1}]$	比热容/ $[\text{J} \cdot (\text{kg} \cdot \text{K})^{-1}]$	电导率/ $(\text{S} \cdot \text{m}^{-1})$
金属铝层	Al	8	2 760	237	900	式(5)
SiC 芯片	SiC	135	3 215	式(2)	式(3)	式(4)
Si 芯片	Si	151	2 320	131	700	2.09×10^4
Si 芯片焊料层	Solder	35	7 370	33	234	9.10×10^6
SiC 芯片焊料层	Solder	41	7 370	33	234	9.10×10^6
上铜层	Cu	60	8 960	400	401	1.70×10^7
陶瓷层	Al_2O_3	248	3 900	27	776	1.00×10^{-5}
下铜层	Cu	56	8 960	400	401	1.70×10^7
衬底焊料层	Solder	50	7 370	33	234	9.10×10^6
铜基板	Cu	2 000	8 960	400	401	1.70×10^7

2.3 模型边界条件

在 t_{on} 较小时, 雪崩期间电流是从 SiC JFET 的栅极流出, 后来随着 t_{on} 的增加, 电流流过 SiC JFET 的漏极—源极, 并将 Si MOSFET 也置于雪崩状态, 因而雪崩期间 SiC JFET 和 Si MOSFET 所耗散的能量都视作

热量的来源。

为了获得准确的结果并节省模拟时间, 在电—热耦合仿真中执行多级网格划分策略, 这意味着对于关键部位(如芯片层、铝金属层、键合线)相较于基板层和外壳封装采用更精细的网格划分。由于实

际的 UIS 测试时级联器件未安装散热器,故对流热通量设置为 $12.5 \text{ W}/(\text{m}^2 \cdot \text{K})^{[36]}$,初始温度设置为 300 K 。所建立的 Si/SiC 级联器件耦合模型的边界条件以及网格划分见图 7。

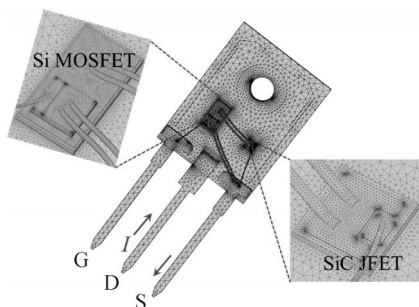


图7 Si/SiC 级联器件耦合模型边界条件及网格划分

Fig. 7 Boundary condition and mesh generation of the coupling model of Si/SiC cascode device

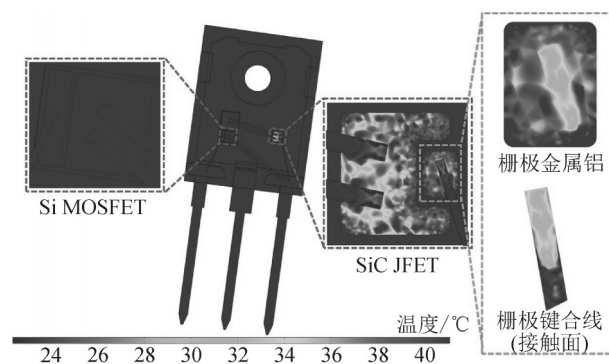
2.4 模型仿真结果及分析

在多物理场仿真软件 Comsol 中建立了 Si/SiC 级联器件的三维电-热耦合模型,并对不同 t_{on} 所对应的雪崩期间的温度和电流密度分布进行了分析。

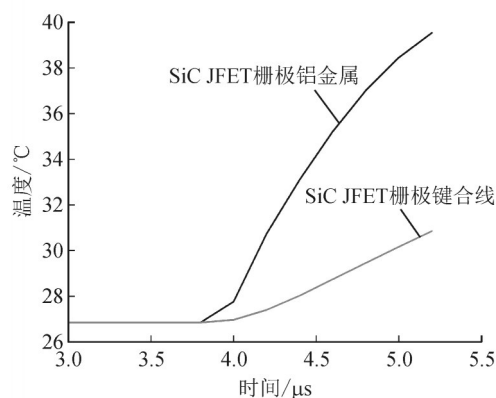
电-热耦合模型的激励源是图 3 的雪崩电流。器件导通 $4 \mu\text{s}$ 后进入雪崩状态的温度分布见图 8,并对 Si MOSFET 和 SiC JFET 芯片区域进行了放大。从图 8 中可以看出, Si MOSFET 芯片的温度保持为室温没有变动,而 SiC JFET 芯片的温度明显上升。图 8(b)为 SiC JFET 芯片的栅极铝金属层和栅极键合线的温度在 UIS 测试过程中的上升趋势。在器件导通期间,由于电流是从 SiC JFET 和 Si MOSFET 的漏极-源极流过,并且导通时间较短, SiC JFET 芯片的栅极铝金属层和栅极键合线的温度基本没有变化。在器件关断进入雪崩期间后,能量的耗散由 SiC JFET 完成,导致 SiC JFET 的温度明显上升,并且铝金属层是直接覆盖在 SiC JFET 芯片表面,因而 SiC JFET 栅极区域的铝金属层温度上升更为明显。铝的电阻具有正温度系数,当温度上升后电阻值也会增加。由于键合线的电阻比铝金属层的电阻高得多,所以为了更好地反映两者的阻值在雪崩期间的变化趋势,这里使用归一化电阻,结果见图 8(c),从图 8 可以看出, SiC JFET 栅极铝金属层电阻和栅极键合线电阻在雪崩期间都展现出增加的趋势。

当器件导通时间为 $12 \mu\text{s}$ 时,电感储存更多的能量,这意味着 SiC JFET 芯片将耗散更多的能量。当级联器件导通时间为 $12 \mu\text{s}$ 时进入雪崩状态后的温度分布以及 SiC JFET 栅极铝金属层和栅极键合线在雪崩期间的温度和归一化电阻的上升趋势见图 9。相比导通时间为 $4 \mu\text{s}$ 时雪崩期间的温度和归一化电阻,导通时间为 $12 \mu\text{s}$ 时的雪崩期间的温度

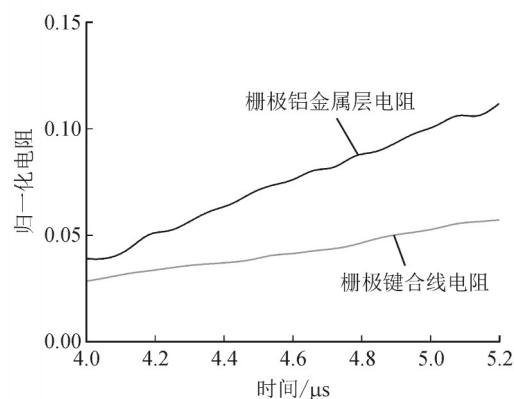
和电阻的增加更为明显。



(a) 温度分布图



(b) 温度变化



(c) 归一化电阻变化

图8 t_{on} 为 $4 \mu\text{s}$ 时的耦合模型仿真结果

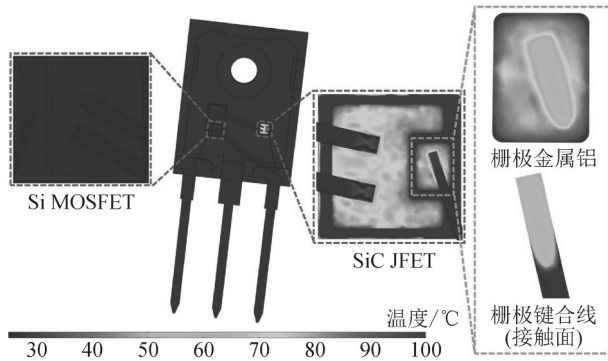
Fig. 8 The simulation results of coupling model when t_{on} is $4 \mu\text{s}$

SiC JFET 栅极铝金属层和栅极键合线的电阻增加导致 SiC JFET 栅极等效电阻(R_{G_JFET})的增加,由于 Si MOSFET 关断后其漏极-源极电压(U_{DS_MOS})保持不变,而 R_{G_JFET} 的增加导致加载在 SiC JFET 的栅极-源极之间的有效电压(U_{GS_JFET})减小,具体关系式可由图 1(b)得到

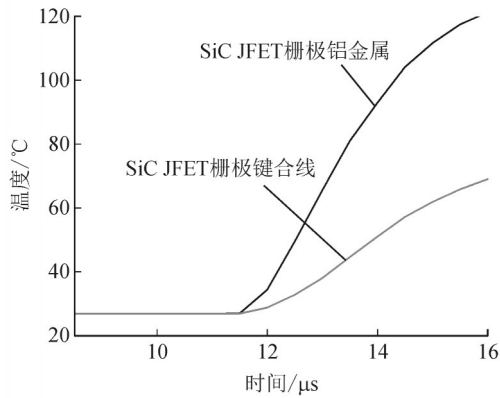
$$U_{DS_MOS} = U_{GS_JFET} + I_{G_JFET} \cdot R_{G_JFET} \quad (6)$$

式(6)中, I_{G_JFET} 为 SiC JFET 漏极流向栅极的雪崩电流。

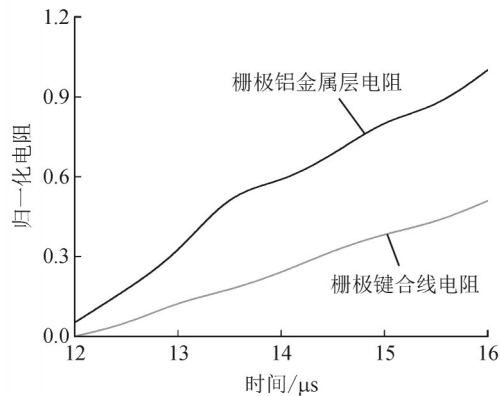
U_{GS_JFET} 的减小,这使得原本处于关闭状态的耗



(a) 温度分布



(b) 温度变化



(c) 归一化电阻

图9 t_{on} 为12 μs 时的耦合模型仿真结果

Fig. 9 The simulation results of coupling model

when t_{on} is 12 μs

尽型SiC JFET重新开启,形成漏极—源极电流,同时也将低压Si MOSFET置于雪崩状态,雪崩电流的路径将会发生改变。级联器件导通12 μs 后进入雪崩状态后的电流密度分布见图10。由图10可以看到电流密度主要集中在Si MOSFET和SiC JFET的芯片表面,同时,SiC JFET栅极键合线、SiC JFET与Si MOSFET之间的键合线、Si MOSFET至级联器件源极(S)端子的键合线都呈现出一定的电流密度,表明这些键合线都有电流流过,这与图4(b)中的实验结果一致。

当器件导通时间增加到28 μs 时,雪崩状态下

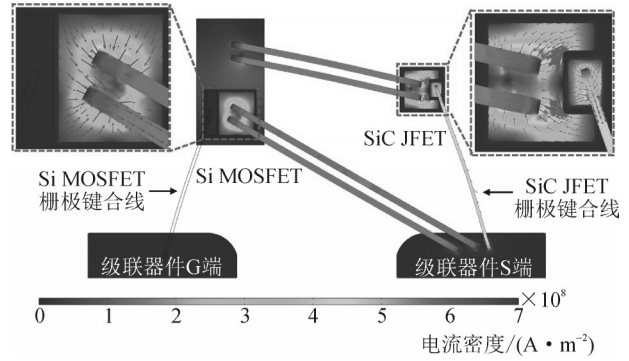
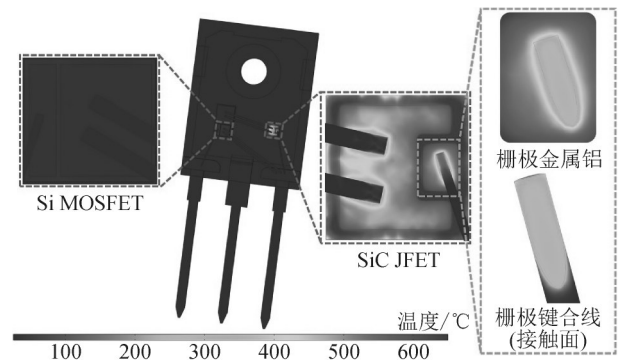
图10 t_{on} 为12 μs 时耦合模型电流密度分布

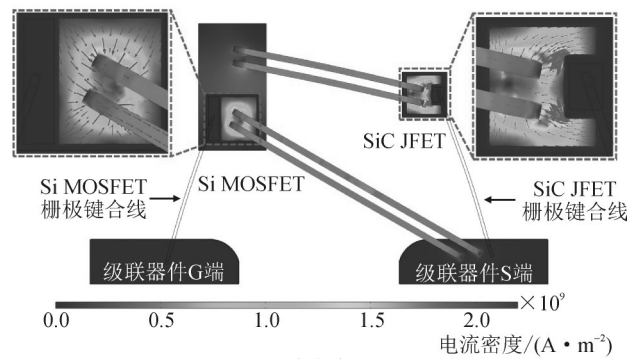
Fig. 10 The distribution of current density of coupling

model when t_{on} is 12 μs

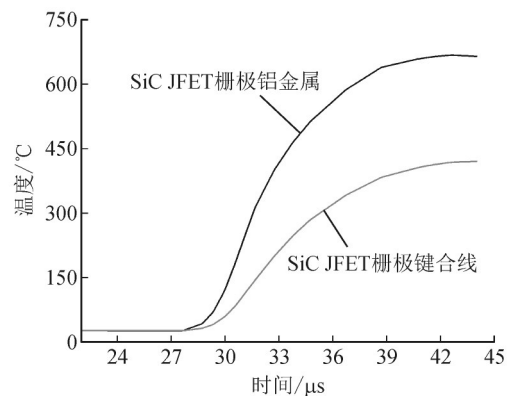
的级联器件温度分布、电流密度分布以及SiC JFET栅极铝金属层和栅极键合线的温度上升趋势见图11。



(a) 温度分布



(b) 电流密度分布



(c) 温度变化

图11 t_{on} 为28 μs 时的耦合模型仿真结果

Fig. 11 The simulation results of coupling model

when t_{on} is 28 μs

急剧上升的温度使得SiC JFET栅极等效电阻快速增加,从而导致级联器件进入雪崩状态后迅速出现漏极—源极导通,电流完全从漏极—源极流出而未经过SiC JFET的栅极键合线,这与图4(c)的实验结果一致。

3 结语

采用UIS电路测试了Si/SiC级联器件的单脉冲雪崩特性,通过增加级联器件的导通时间,得到了不同负载电流下的Si/SiC级联器件的雪崩特性,并用电—热耦合模型解释了Si/SiC级联器件在UIS测试过程中雪崩特性出现异常的原因。文中所取得的结果能够为采用Si/SiC级联器件构造直流固态断路器的设计人员提供有益的参考,在器件配置和电路设计方面,尽量设计成模块化形式,有效降低线路寄生电感,避免在断路器关断时电路所释放的能量超出了固态断路器的临界雪崩能量,从而提高固态断路器的可靠性。

参考文献:

- [1] 董旭柱,华祝虎,尚磊,等.新型配电系统形态特征与技术展望[J].高电压技术,2021,47(9):3021-3035.
DONG Xuzhu, HUA Zhuhu, SHANG Lei, et al. Morphological characteristics and technology prospect of new distribution system[J]. High Voltage Engineering, 2021, 47(9): 3021-3035.
- [2] 沈赋,张微,徐潇源,等.基于随机森林和最大互信息系数关键特征选择的配电网拓扑辨识研究[J].电力系统保护与控制,2024,52(17):1-11.
SHEN Fu, ZHANG Wei, XU Xiaoyuan, et al. Topological identification of distribution networks based on key feature selection using RF and MIC[J]. Power System Protection and Control, 2024, 52(17): 1-11.
- [3] 潘笑,邵建伟,刘士齐,等.基于网格化规划的城市配电网精准投资策略[J].智慧电力,2022,50(2):1-8.
PAN Xiao, SHAO Jianwei, LIU Shiqi, et al. Accurate investment strategy for urban distribution network based on grid planning[J]. Smart Power, 2022, 50(2): 1-8.
- [4] 曾嵘,赵宇明,赵彪,等.直流配用电关键技术研究与应用展望[J].中国电机工程学报,2018,38(23):6791-6801.
ZENG Rong, ZHAO Yuming, ZHAO Biao, et al. A prospective look on research and application of DC power distribution technology[J]. Proceedings of the CSEE, 2018, 38(23): 6791-6801.
- [5] 巨云涛,周伟鹏,于宗民.考虑移动储能车提升系统供电可靠性的配电网规划方法[J].电力系统保护与控制,2024,52(17):128-138.
JU Yuntao, ZHOU Weipeng, YU Zongmin. A distribution network planning approach considering mobile energy storage vehicles to enhance system power supply reliability[J]. Power System Protection and Control, 2024, 52(17): 128-138.
- [6] 陈洁羽,左宝峰,谈震,等.配电网单相接地快速处置装置运行情况研究[J].智慧电力,2022,50(2):75-81.
CHEN Jieyu, ZUO Baofeng, TAN Zhen, et al. Operation analysis of rapid disposal device for single-phase grounding fault in distribution network[J]. Smart Power, 2022, 50(2): 75-81.
- [7] 邵文权,徐嘉鹏,卫晓辉,等.采用PI+重复控制策略的配电网有源电流消弧方案[J].西安工程大学学报,2022,36(5):87-94.
SHAO Wenquan, XU Jiapeng, WEI Xiaohui, et al. An active current arc suppression scheme using PI and repetitive control strategy for distribution networks[J]. Journal of Xi'an Polytechnic University, 2022, 36(5): 87-94.
- [8] 李霞林,郭力,黄迪,等.直流配电网运行控制关键技术研究综述[J].高电压技术,2019,45(10):3039-3049.
LI Xialin, GUO Li, HUANG Di, et al. Research review on operation and control of DC distribution networks[J]. High Voltage Engineering, 2019, 45(10): 3039-3049.
- [9] 陈思磊,刘家欣,薛中正,等.基于MOSFET的直流电子辅助断路器设计及开断性能优化方法研究[J].高压电器,2023,59(9):234-241.
CHEN Silei, LIU Jiaxin, XUE Zhongzheng, et al. Design of MOSFET-based DC electronic auxiliary circuit breaker and its optimization method of breaking performance[J]. High Voltage Apparatus, 2023, 59(9): 234-241.
- [10] 丁璨,聂太平,陈天凡,等.基于IGBT的新型固态直流断路器设计与分析[J].高压电器,2022,58(4):17-24.
DING Can, NIE Taiping, CHEN Tianfan, et al. Design and analysis of new type solid-state DC circuit breaker based on IGBT[J]. High Voltage Apparatus, 2022, 58(4): 17-24.
- [11] 郭子庆,王学华.基于神经网络的IGBT模块剩余使用寿命预测模型[J].电测与仪表,2023,60(1):132-138.
GUO Ziqing, WANG Xuehua. Prediction model of neural network - based IGBT module remaining service life[J]. Electrical Measurement & Instrumentation, 2023, 60(1): 132-138.
- [12] 樊阳文,李骏,姚宁,等.10 kV直流配电网混合式断路器结构设计[J].高压电器,2021,57(7):53-59.
FAN Yangwen, LI Jun, YAO Ning, et al. Structural design of hybrid DC breaker in 10 kV DC distribution network[J]. High Voltage Apparatus, 2021, 57(7): 53-59.
- [13] 张明锐,金鑫,刘金辉,等.基于IGBT的固态断路器开断策略研究[J].电力系统保护与控制,2012,40(18):123-126.
ZHANG Mingrui, JIN Xin, LIU Jinhui, et al. Study on

- breaking strategy of solid-state circuit breaker based on IGBT[J]. Power System Protection and Control, 2012, 40(18):123-126.
- [14] 张耘溢, 马 磊, 刘 焱, 等. 基于 IGBT 串联脉冲功率法的氧化锌避雷器电流均衡性现场测试技术[J]. 电瓷避雷器, 2022(5):79-85.
- ZHANG Yunyi, MA Lei, LIU Yan, et al. Field test technique of Zinc oxide arrester current balance based on IGBT series pulse power method[J]. Insulators and Surge Arresters, 2022(5):79-85.
- [15] 李 辉, 廖兴林, 肖洪伟, 等. 基于 SiC MOSFET 直流固态断路器关断初期电压尖峰抑制方法[J]. 电工技术学报, 2018, 33(5):1058-1067.
- LI Hui, LIAO Xinglin, XIAO Hongwei, et al. Voltage overshoot suppression method of SiC MOSFET-based DC solid-state circuit breaker at turn-off initial stage[J]. Transactions of China Electrotechnical Society, 2018, 33(5):1058-1067.
- [16] 周郁明, 武 钰, 陈兆权, 等. 基于常通型碳化硅 JFET 的自供电固态断路器[J]. 电力电子技术, 2020, 54(2):63-65.
- ZHOU Yuming, WU Yu, CHEN Zhaoquan, et al. Self-powered solid-state circuit breaker based on normally-on SiC JFET[J]. Power Electronics, 2020, 54(2):63-65.
- [17] 张成明, 陈德志, 赵文良. 基于 IGBT 选型的整流器、逆变器损耗计算新方法研究[J]. 智慧电力, 2022, 50(4):81-88.
- ZHANG Chengming, CHEN Dezhi, ZHAO Wenliang. New loss calculation method of rectifier and inverter based on IGBT selection[J]. Smart Power, 2022, 50(4):81-88.
- [18] 何 东, 徐星冬, 兰 征, 等. 基于级联常通型 SiC JFET 的快速中压直流固态断路器设计及实验验证[J]. 电力系统保护与控制, 2024, 52(5):158-167.
- HE Dong, XU Xingdong, LAN Zheng, et al. Design and experimental verification of an ultrafast medium-voltage DC solid-state circuit breaker using cascaded normally-on SiC JFETs[J]. Power System Protection and Control, 2024, 52(5):158-167.
- [19] ZHAO Shuyan, DONGYE Zhonghao, WANG Yao, et al. A 4 kV/120 A SiC solid-state DC circuit breaker powered by a load-independent IPT system[J]. IEEE Transactions on Industry Applications, 58(1):1115-1125.
- [20] 何骏伟, 陈思哲, 任 娜, 等. 4 500 V 碳化硅 SBD 和 JFET 功率模块的制备与测试[J]. 电工技术学报, 2015, 30(17):63-69.
- HE Junwei, CHEN Sizhe, REN Na, et al. Fabrication and testing of 4 500 V SiC SBD and JFET power modules[J]. Transactions of China Electrotechnical Society, 2015, 30(17):63-69.
- [21] 刘新宇, 李诚瞻, 罗烨辉, 等. 1 200 V 大容量 SiC MOSFET 器件研制[J]. 电子学报, 2020, 48(12):2313-2318.
- LIU Xinyu, LI Chengzhan, LUO Yehui, et al. Development of 1 200 V high capacity SiC MOSFET devices[J]. Acta Electronica Sinica, 2020, 48(12):2313-2318.
- [22] 柏树根, 孙承晨, 张新松, 等. SiC MOSFET 逆变器分段调制死区补偿策略[J]. 电网与清洁能源, 2023, 39(10):28-37.
- BAI Shugen, SUN Chengchen, ZHANG Xinsong, et al. The dead-time compensation strategy for segmented modulation of the SiC MOSFET inverter[J]. Power System and Clean Energy, 2023, 39(10):28-37.
- [23] HANDT K, GRIEPENTROG G, MAIER R. Intelligent, compact and robust semiconductor circuit breaker based on silicon carbide devices[C]//2008 IEEE Power Electronics Specialists Conference. USA: IEEE, 2008:1586-1591.
- [24] MEHROTRA U, BALLARD B, HOPKINS D C. Bidirectional solid-state circuit breaker using super cascode for MV SST and energy storage systems[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2022, 10(4):3652-3661.
- [25] GARCIA R L A, GILL L, MUELLER J A, et al. Cascaded SiC JFET topology for high-voltage solid-state circuit breaker applications[J]. IEEE Transactions on Industry Applications, 2023, 59(2):2326-2339.
- [26] 徐晓筱, 吴建德, 何湘宁, 等. 基于 UIS 测试的 SiC MOSFET 单脉冲雪崩特性分析[J]. 电力电子技术, 2020, 54(4):115-118.
- XU Xiaoxiao, WU Jiande, HE Xiangning, et al. Analysis of single pulse avalanche characteristics of SiC MOSFET based on UIS test[J]. Power Electronics, 2020, 54(4):115-118.
- [27] PUSHPAKARAN B N, HINOJOSA M, BAYNE S B, et al. Evaluation of SiC JFET performance during repetitive pulsed switching into an unclamped inductive load[J]. IEEE Transactions on Plasma Science, 2014, 42(10):2968-2973.
- [28] 钱 乐, 李 胜, 张 弛, 等. 级联型氮化镓 HEMT 器件 UIS 可靠性机理[J]. 东南大学学报(自然科学版), 2021, 51(6):1103-1108.
- QIAN Le, LI Sheng, ZHANG Chi, et al. UIS reliability mechanism of cascode GaN HEMT[J]. Journal of Southeast University (Natural Science Edition), 2021, 51(6):1103-1108.
- [29] AGBO S N, ORTIZ-GONZALEZ J, ALATISE O. Performance of SiC cascode JFETs under single and repetitive avalanche pulses[J]. Microelectronics Reliability, 2020(110):113644.
- [30] UnitedSiC. UJ3C065080K3S Datasheet[EB/OL]. [2024-06-07]. <https://www.qorvo.com/products/p/UJ3C065080K3S>.
- [31] REN Na, HU Hao, LYU Xiaofeng, et al. Investigation on single pulse avalanche failure of SiC MOSFET and Si IGBT[J]. Solid-state Electronics, 2019(152):33-40.

- charge sensors on long distance EHV cables during the commission test[J]. *Power System and Clean Energy*, 2023, 39(12):104-114.
- [29] 刘宝升, 陈利飞, 雷兴列, 等. 基于 MEMS 电场传感器的 1 000 kV 非接触验电器研究[J]. *水电能源科学*, 2019, 37(4):171-175.
- LIU Baosheng, CHEN Lifei, LEI Xinglie, et al. Study of non-contact voltage detector of 1 000 kV UHV AC based on MEMS electric field sensor[J]. *Water Resources and Power*, 2019, 37(4):171-175.
- [30] 许观达, 肖 飞, 连传强, 等. 三相永磁同步电机单电流传感器矢量控制策略[J]. *电力系统保护与控制*, 2022, 50(23):104-111.
- XU Guanda, XIAO Fei, LIAN Chuanqiang, et al. A vector control strategy using a single current sensor for a three-phase permanentmagnet synchronous motor[J]. *Power System Protection and Control*, 2022, 50(23):104-111.
- [31] 王 赞, 郑理威, 陈忠贤, 等. 基于光纤 EFPI 传感器的 GIS 局部放电研究[J]. *电网与清洁能源*, 2022, 38(2):67-75.
- WANG Zan, ZHENG Liwei, CHEN Zhongxian, et al. Research on partial discharge of GIS based on optical fiber EFPI sensor[J]. *Power System and Clean Energy*, 2022, 38(2):67-75.
- [32] AKIO N, HIROSHI O, CAO Xianglin. Introduction to 1 000 kV transmission technologies conducted by Tokyo electric power company[J]. *Power System Technology*, 2005, 29(6):1-5.
- [33] KOBAYASHI T, YOSHIKAWA M, KUBOTA Y, et al. M
- numada measurement technique of electric field using ultraviolet/visible spectroscopy in cylindrical plasmas[J]. *Review of Scientific Instruments*, 2004, 75(10):4121-4123.
- [34] 张晓明. 瞬态电场测试传感器的研制[D]. 北京:清华大学, 2011.
- ZHANG Xiaoming. Development of transient electric field measurement sensor[D]. Beijing: Tsinghua University, 2011.
- [35] 王 宁, 刘云华, 闫振宏, 等. 新型组合式验电器的设计与实现[J]. *电力系统保护与控制*, 2019, 47(19):164-170.
- WANG Ning, LIU Yunhua, YAN Zhenhong, et al. Design and implementation of a new combined electro-scope[J]. *Power System Protection and Control*, 2019, 47(19):164-170.
- [36] 中国国家标准化管理委员会. 电业安全工作规程—发电厂和变电站电气部分:GB 26860—2011[S]. 北京:中国标准出版社, 2011.
- Standardization Administration of China. Electrical industry safety work code - electrical parts of power plants and substations:GB 26860—2011[S]. Beijing: Standards Press of China, 2011.
- 夏博涵(1998—), 男, 硕士, 研究方向为高电压与绝缘技术(E-mail:523059786@qq.com)。
- 段雄英(1974—), 女, 教授, 博士生导师, 研究方向为电机与电器、高电压与绝缘技术(通信作者)(E-mail:dxylut.edu.cn)。
- ~~~~~
- (上接第 121 页)
- [32] 贾英杰, 肖 飞, 段耀强, 等. MPS 结构 SiC 二极管场路耦合建模及多速率电热联合仿真分析[J]. *中国电机工程学报*, 2019, 39(19):5585-5594.
- JIA Yingjie, XIAO Fei, DUAN Yaoqiang, et al. Field-circuit coupling modeling and multi-rate electro-thermal co-simulation analysis of merged PiN schottky SiC diode[J]. *Proceedings of the CSEE*, 2019, 39(19):5585-5594.
- [33] SNEAD L L, NOZAWA T, KATOH Y, et al. Handbook of SiC properties for fuel performance modelling[J]. *Journal of Nuclear Materials*, 2007(371):329-377.
- [34] LIDE D R. CRC handbook of chemistry and physics[M]. Boca Raton, USA: CRC, 2012.
- [35] LUTZ J, SCHLANGENOTTO H, SCHEYERMANN U, et al. Semiconductor power devices, physics, characteristics, reliability[M]. Berlin Heidelberg: Springer, 2011.
- [36] JIA Yingjie, XIAO Fei, DUAN Yaoqiang, et al. PSpice-COMSOL-based 3-D electrothermal-mechanical modeling of IGBT power module[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2020, 8(4):4173-4185.
- 周郁明(1971—), 男, 博士, 教授, 主要从事新型功率半导体器件应用的研究(E-mail:ymzhou@ahut.edu.cn)。